

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-129555

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

H01L 27/108
G11C 11/407

(21)Application number : 03-287579

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.11.1991

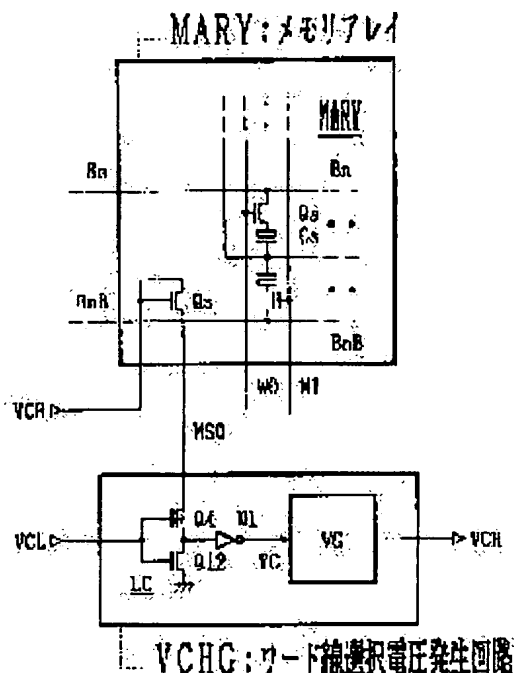
(72)Inventor : SATO HIROSHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To constrict the margin of word line selecting voltage and to decrease the absolute value thereof by substantially matching the absolute value and the characteristic variation of the threshold voltage of sense MOSFET with those of an address selecting MOSFET constituting a memory cell.

CONSTITUTION: A word line selecting voltage generating circuit VCHG includes p-channel (second conductivity type) MOSFET Q4(second MOSFET) and an N-channel MOSFET Q12 (third MOSFET) interposed between the source of a sense MOSFET Q5 formed in the region of a memory array MARY and the ground potential of the circuit. The gates of these MOSFETs are fed with a common internal power supply voltage VCL and the commonly connected drains thereof are coupled with the input terminal of a CMOS inverter N1. According to the constitution, absolute threshold voltage of the sense MOSFET and characteristic variation thereof can be substantially matched with those of an address selecting MOSFET.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平5-129555

(43) 公開日 平成5年(1993)5月25日

(51) Int. Cl. ⁵

H01L 27/108

G11C 11/407

識別記号

F I

8728-4M

H01L 27/10

325

R

8320-5L

G11C 11/34

354

D

8728-4M

H01L 27/10

325

T

審査請求 未請求 請求項の数 3 (全9頁)

(21) 出願番号

特願平3-287579

(22) 出願日

平成3年(1991)11月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 佐藤 弘

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体記憶装置

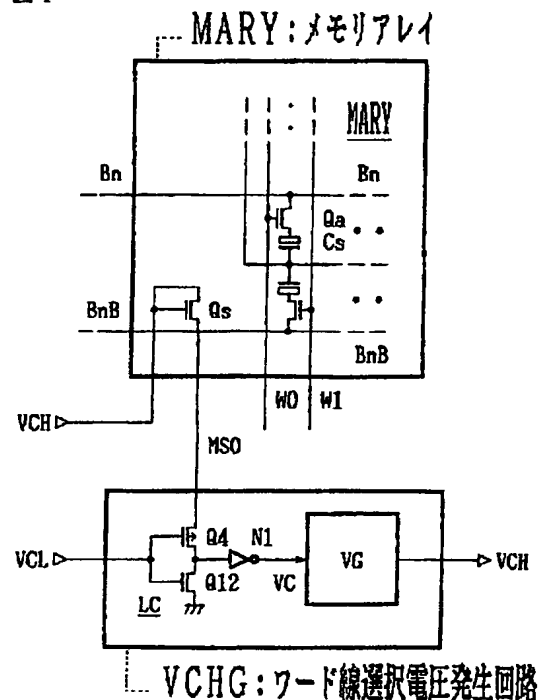
(57) 【要約】

(修正有)

【目的】 スタティックワード線選択方式を採るダイナミック型RAM等におけるワード線選択電圧VCHの電位マージンを圧縮し、低消費電力化を推進する。

【構成】 ワード線選択電圧発生回路VCHGを、例えば、そのドレイン及びゲートにワード線選択電圧VCHを受けるNチャンネル型のセンスMOSFETQsと、そのソースと回路の接地電位との間に直列形態に設けられそのゲートに内部電源電圧VCLを共通に受けるPチャンネルMOSFETQ4及びNチャンネルMOSFETQ12と、それらの共通結合されたドレイン電位を受けるCMOSインバータN1とを含み、インバータN1の出力信号をその出力信号VCとするレベル検出回路LCと、その出力信号VCに従って選択的にワード線選択電圧VCHの電位を補充する電圧発生回路VGとによって構成し、センスMOSFETQsを、メモリセルを構成するアドレス選択MOSFETQaと同一条件でしかもメモリアレイMARYの領域内に形成する。

図4



【特許請求の範囲】

【請求項1】 直交して配置されるワード線及びビット線ならびにこれらのワード線及びビット線の交点に格子状に配置されるメモリセルを含むメモリアレイと、上記メモリセルを構成するMOSFETと同一条件で形成されるセンスMOSFETを含みその電位が上記センスMOSFETの特性変化に追従して変化されるワード線選択電圧を形成するワード線選択電圧発生回路と、上記ワード線選択電圧を選択的に伝達することで上記ワード線を択一的に選択状態とするワード線駆動回路とを具備することを特徴とする半導体記憶装置。

【請求項2】 上記センスMOSFETは、上記メモリアレイの領域内に形成されるものであることを特徴とする請求項1の半導体記憶装置。

【請求項3】 上記センスMOSFETは、そのドレイン及びゲートに上記ワード線選択電圧を受ける第1導電型の第1のMOSFETからなるものであって、上記ワード線選択電圧発生回路は、上記センスMOSFETのソースと回路の接地電位との間に直列形態に設けられそのゲートに所定の内部電源電圧を共通に受ける第2導電型の第2のMOSFETならびに第1導電型の第3のMOSFETと、上記第2及び第3のMOSFETの共通結合されたドレイン電位を受けるCMOSインバータとを含みかつ上記CMOSインバータの出力信号をその出力信号とするレベル検出回路と、上記レベル検出回路の出力信号に従って選択的に上記ワード線選択電圧の電位を補正する電圧発生回路とを含むものであることを特徴とする請求項1又は請求項2の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置に関するもので、例えば、スタティックワード線選択方式を採用するダイナミック型RAM（ランダムアクセスメモリ）等に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】所定のワード線選択電圧を選択的に伝達することでメモリアレイの指定されたワード線を択一的に選択状態とするスタティックワード線選択方式があり、スタティックワード線選択方式を採用するダイナミック型RAMがある。

【0003】スタティックワード線選択方式を採用するダイナミック型RAMについては、例えば、特願平1-65841号等に記載されている。

【0004】

【発明が解決しようとする課題】スタティックワード線選択方式を採用するダイナミック型RAM等において、ワード線選択電圧の電位は、メモリアレイやその周辺回路に供給される内部電源電圧より少なくともメモリセルを構成するアドレス選択MOSFETのしきい値電圧分以上高いものでなくてはならない。上記に記載されるような

従来のダイナミック型RAM等において、ワード線選択電圧を形成するワード線選択電圧発生回路は、周辺回路としてメモリアレイの領域外に配置され、ワード線選択電圧の電位は、例えば直列形態とされる所定数のセンスMOSFETのしきい値電圧をもとに設定される。周知のように、極めて高集積化されたメモリアレイと比較的多数のランダムロジックを含む周辺回路とでは、その製造プロセスが異なり、また各領域に与えられる基板バックバイパス電圧の電位も異なる。このため、メモリアレイの領域内に形成されるアドレス選択MOSFETと周辺回路の領域に形成されるセンスMOSFETとではそのしきい値電圧の絶対値ならびに特性変化が異なり結果となり、ワード線選択電圧の電位マージンを多くして、その中心値を高め設定しておく必要が生じる。その結果、ワード線等のレベル変化にともなうチャージ又はデイスチャージ電流が増大し、スタティックワード線選択方式を採用するダイナミック型RAM等の低消費電力化が阻害される。

【0005】この発明の目的は、スタティックワード線選択方式を採用するダイナミック型RAM等におけるワード線選択電圧の電位マージンを圧縮し、その絶対値を小さくすることにある。この発明の他の目的は、スタティックワード線選択方式を採用するダイナミック型RAMの低消費電力化を推進することにある。

【0006】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、スタティックワード線選択方式を採用するダイナミック型RAM等のワード線選択電圧発生回路を、例えば、そのドレイン及びゲートにワード線選択電圧を受けるNチャンネル型のセンスMOSFETと、センスMOSFETのソースと回路の接地電位との間に直列形態に設けられそのゲートに所定の内部電源電圧を共通に受ける一対のPチャンネル及びNチャンネルMOSFETと、これらのPチャンネル及びNチャンネルMOSFETの共通結合されたドレイン電位を受けるCMOSインバータとを含み、CMOSインバータの出力信号をその出力信号とするレベル検出回路と、レベル検出回路の出力信号に従って選択的にワード線選択電圧の電位を補充する電圧発生回路とによって構成し、センスMOSFETを、メモリセルを構成するアドレス選択MOSFETと同一条件でしかもメモリアレイ領域内に形成する。

【0008】

【作用】上記手段によれば、センスMOSFETのしきい値電圧の絶対値ならびにその特性変化を、メモリセルを構成するアドレス選択MOSFETとほぼ一致させる

ことができるため、相応してワード線選択電圧の電位マージンを圧縮し、その絶対値を小さくすることができる。その結果、ワード線等のレベル変化にともなうチャージ又はディスチャージ電流を削減し、スタティックワード線選択方式を採るダイナミック型RAM等の低消費電力化を推進することができる。

【0009】

【実施例】図1には、この発明が適用されたダイナミック型RAMの一実施例のブロック図が示されている。また、図2及び図3ならびに図4には、図1のダイナミック型RAMに含まれるメモリアレイMARY及びワード線駆動回路WDならびにワード線選択電圧発生回路VCHGの一実施例の回路図がそれぞれ示されている。これらの図をもとに、この実施例のダイナミック型RAMの構成と動作の概要ならびにその特徴について説明する。なお、図2～図4の回路素子ならびに図1の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。また、図2～図4において、そのチャンネル（バックゲート）部に矢印が付されるMOSFET（金属酸化半導体電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）はPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。

【0010】図1において、この実施例のダイナミック型RAMは、半導体基板面の大半を占めて配置されるメモリアレイMARYをその基本構成とする。メモリアレイMARYは、図2に示されるように、同図の垂直方向に平行して配置される $m+1$ 本のワード線 $W0 \sim Wm$ と、水平方向に平行して配置される $n+1$ 組の相補ビット線 $B0* \sim Bn*$ （ここで、例えば非反転ビット線 $B0$ 及び反転ビット線 $B0B$ をあわせて相補ビット線 $B0*$ のように $*$ を付して表す。また、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号あるいは反転信号線等については、その名称の末尾に B を付して表す。以下同様）を含む。これらのワード線及び相補ビット線の交点には、情報蓄積キャパシタ Cs 及びアドレス選択MOSFET Qa からなる $(m+1) \times$
 ($n+1$) 個のダイナミック型メモリセルが格子状に配置される。メモリアレイMARYの同一の行に配置される $n+1$ 個のメモリセルのアドレス選択MOSFET Qa のゲートは、対応するワード線 $W0 \sim Wm$ に共通結合される。また、同一の列に配置される $m+1$ 個のメモリセルのアドレス選択MOSFET Qa のドレインは、対応する相補ビット線 $B0* \sim Bn*$ の非反転又は反転信号線に所定の規則性をもって交互に結合される。メモリアレイMARYを構成するすべてのメモリセルの情報蓄積キャパシタ Cs の他方の電極には、所定のプレート電圧HVが共通に供給される。

【0011】この実施例において、メモリアレイMARYは、さらにNチャンネル型（第1導電型）の1個のセンスMOSFET Qs （第1のMOSFET）を含む。センスMOSFET Qs のドレイン及びゲートには、後述するワード線選択電圧発生回路VCHGからワード線選択電圧VCHが供給され、そのソースは、内部信号線MSOを介してワード線選択電圧発生回路VCHGに結合される。ここで、センスMOSFET Qs は、メモリセルを構成するアドレス選択MOSFET Qa とほぼ同一のサイズとされ、しかもその製造プロセス等においてアドレス選択MOSFET Qa と同一条件で形成される。また、センスMOSFET Qs は、メモリアレイMARYの領域内に形成されることによって、アドレス選択MOSFET Qa と同一の基板バックバイパス電圧を受ける。その結果、センスMOSFET Qs は、アドレス選択MOSFET Qa とほぼ同一のしきい値電圧を持つものとされ、その値も製造プロセス等によってほぼ同一の特性変化を示す。なお、後の説明から明らかなように、センスMOSFET Qs は機能的には後述するワード線選択電圧発生回路VCHGに含まれる。

【0012】メモリアレイMARYを構成するワード線 $W0 \sim Wm$ は、ワード線駆動回路WDに結合され、択一的に選択状態とされる。ワード線駆動回路WDには、ワード線選択電圧発生回路VCHGからワード線選択電圧VCHが供給され、タイミング発生回路TGから内部制御信号WPHが供給される。また、XアドレスデコーダXDから、ワード線 $W0 \sim Wm$ に対応する $m+1$ ビットの反転ワード線選択信号 $WS0B \sim WSmB$ が供給される。XアドレスデコーダXDには、XアドレスバッファXBから $i+1$ ビットの内部アドレス信号 $X0 \sim Xi$ が供給され、タイミング発生回路TGから内部制御信号XDGが供給される。さらに、XアドレスバッファXBには、アドレス入力端子 $A0 \sim Ai$ を介してXアドレス信号 $AX0 \sim AXi$ が時分割的に供給され、タイミング発生回路TGから内部制御信号XLが供給される。ここで、ワード線選択電圧VCHは、後述するように、内部電源電圧VCLより約0.9Vだけ高い+4.2Vのような比較的高い電位をその中心値とする。また、内部制御信号WPHは、通常回路の接地電位のようなロウレベルとされ、ダイナミック型RAMが選択状態とされるとき所定のタイミングで選択的にワード線選択電圧VCHのようなハイレベルとされる。反転ワード線選択信号 $WS0B \sim WSmB$ は、通常ワード線選択電圧VCHのようなハイレベルとされ、ダイナミック型RAMが選択状態とされるとき所定のタイミングでかつ内部アドレス信号 $X0 \sim Xi$ に従って択一的にロウレベルとされる。

【0013】ワード線駆動回路WDは、図3に示されるように、メモリアレイMARYのワード線 $W0 \sim Wm$ に対応して設けられる $m+1$ 個の単位ワード線駆動回路UWD $0 \sim UWDm$ を備える。これらの単位ワード線駆動

回路のそれぞれは、単位ワード線駆動回路UWD0に代表して示されるように、ワード線選択電圧VCHと回路の接地電位との間に直列形態に設けられるPチャンネルMOSFETQ3及びNチャンネルMOSFETQ11を含む。これらのMOSFETのゲートは、並列形態とされる2個のPチャンネルMOSFETQ1及びQ2を介してワード線選択電圧VCHに結合されるとともに、XアドレスデコーダXDから対応する反転ワード線選択信号WS0B~WSmBが供給される。MOSFETQ3及びQ11の共通結合されたドレインは、MOSFETQ2のゲートに結合されるとともに、メモリアレイMARYの対応するワード線W0~Wmに結合される。すべての単位ワード線駆動回路UWD0~UWDmを構成するMOSFETQ1のゲートには、内部制御信号WPHが共通に供給される。

【0014】ダイナミック型RAMが非選択状態とされるとき、前述のように、内部制御信号WPHはロウレベルとされ、反転ワード線選択信号WS0B~WSmBはすべてワード線選択電圧VCHのようなハイレベルとされる。したがって、ワード線駆動回路WDでは、すべての単位ワード線駆動回路UWD0~UWDmのMOSFETQ1及びQ11が一斉にオン状態とされ、メモリアレイMARYのワード線W0~Wmはすべて回路の接地電位のようなロウレベルすなわち非選択レベルとされる。ワード線W0~Wmの非選択レベルは、実質的にMOSFETQ2を介してフィードバックされ、対応するMOSFETQ11のゲート電位を確実にワード線選択電圧VCHのようなハイレベルとする。

【0015】一方、ダイナミック型RAMが選択状態とされると、内部制御信号WPHがワード線選択電圧VCHのようなハイレベルとされ、反転ワード線選択信号WS0B~WSmBが内部アドレス信号X0~Xiに従って択一的にロウレベルとされる。このため、ワード線駆動回路WDでは、まずすべての単位ワード線駆動回路UWD0~UWDmのMOSFETQ1がオフ状態とされ、さらに反転ワード線選択信号WS0B~WSmBのロウレベルを受けて、対応する単位ワード線駆動回路のMOSFETQ3が択一的にオン状態とされ、MOSFETQ11が択一的にオフ状態とされる。その結果、ロウレベルの反転ワード線選択信号に対応する1本のワード線W0~Wmが択一的にワード線選択電圧VCHのようなハイレベルすなわち選択状態とされる。つまり、この実施例のダイナミック型RAMでは、所定のワード線選択電圧VCHをXアドレスデコーダXDから供給される反転ワード線選択信号WS0B~WSmBに従って選択的に伝達することで、メモリアレイMARYのワード線W0~Wmを択一的に選択状態とするいわゆるスタティックワード線選択方式が採られるものである。

【0016】XアドレスデコーダXDは、上記内部制御信号XDGがハイレベルとされることで選択的に動作状

態とされる。この動作状態において、XアドレスデコーダXDは、内部アドレス信号X0~Xiをデコードし、反転ワード線選択信号WS0B~WSmBを択一的に回路の接地電位のようなロウレベルとする。また、XアドレスバッファXBは、アドレス入力端子A0~Aiを介して時分割的に供給されるXアドレス信号AX0~AXiを内部制御信号XLに従って取り込み、保持するとともに、これらのXアドレス信号をもとに内部アドレス信号X0~Xiを形成して、XアドレスデコーダXDに供給する。

【0017】次に、メモリアレイMARYを構成する相補ビット線B0*~Bn*は、センスアンプSAの対応する単位回路に結合され、さらに相補共通データ線CD*に選択的に接続される。センスアンプSAは、メモリアレイMARYの相補ビット線B0*~Bn*に対応して設けられるn+1個の単位回路を備える。これらの単位回路は、一対のCMOSインバータが交差結合される単位増幅回路と、相補ビット線B0*~Bn*ならびに相補共通データ線CD*間に設けられる1対のスイッチMOSFETとをそれぞれ含む。このうち、各単位増幅回路は、図示されない内部制御信号PAがハイレベルとされることで選択的にかつ一斉に動作状態とされ、メモリアレイMARYの選択されたワード線に結合されるn+1個のメモリセルから対応する相補ビット線B0*~Bn*を介して出力される微小読み出し信号を増幅して、ハイレベル又はロウレベルの2値読み出し信号とする。また、各単位回路のスイッチMOSFETは、YアドレスデコーダYDから供給されるビット線選択信号が択一的にハイレベルとされることで選択的にオン状態となり、メモリアレイMARYの対応する相補ビット線B0*~Bn*と共通データ線CD*とを選択的に接続状態とする。

【0018】YアドレスデコーダYDには、YアドレスバッファYBからi+1ビットの内部アドレス信号Y0~Yiが供給され、タイミング発生回路TGから内部制御信号YDGが供給される。また、YアドレスバッファYBには、アドレス入力端子A0~Aiを介してYアドレス信号AY0~AYiが時分割的に供給され、タイミング発生回路TGから内部制御信号YLが供給される。

【0019】YアドレスデコーダYDは、上記内部制御信号YDGがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、YアドレスデコーダYDは、内部アドレス信号Y0~Yiをデコードして、上記ビット線選択信号を択一的にハイレベルとする。また、YアドレスバッファYBは、アドレス入力端子A0~Aiを介して供給されるYアドレス信号AY0~AYiを内部制御信号YLに従って取り込み、保持するとともに、これらのYアドレス信号をもとに内部アドレス信号Y0~Yiを形成し、YアドレスデコーダYDに供給する。

【0020】相補共通データ線CD*は、データ入出力回路IOに結合される。データ入出力回路IOは、ライトアンプ及びメインアンプならびにデータ入力バッファ及びデータ出力バッファを含む。このうち、ライトアンプの入力端子は、データ入力バッファの出力端子に結合され、その出力端子は、相補共通データ線CD*に結合される。また、メインアンプの入力端子は、相補共通データ線CD*に結合され、その出力端子は、データ出力バッファの入力端子に結合される。データ入力バッファの入力端子は、データ入力端子Dinに結合され、データ出力バッファの出力端子は、データ出力端子Doutに結合される。

【0021】データ入出力回路IOのデータ入力バッファは、ダイナミック型RAMがライトモードで選択状態とされるとき、データ入力端子Dinを介して供給される書き込みデータを取り込み、ライトアンプに伝達する。この書き込みデータは、ライトアンプによって所定の相補書き込み信号とされ、相補共通データ線CD*を介してメモリアレイMARYの選択された1個のメモリセルに書き込まれる。一方、データ入出力回路IOのメインアンプは、ダイナミック型RAMがリードモードで選択状態とされるとき、メモリアレイMARYの選択された1個のメモリセルから相補共通データ線CD*を介して出力される読み出し信号をさらに増幅し、データ出力バッファに伝達する。この読み出し信号は、データ出力バッファからデータ出力端子Doutを介して外部に送出される。

【0022】タイミング発生回路TGは、外部から起動制御信号として供給されるロウアドレスストローブ信号RASB及びカラムアドレスストローブ信号CASBならびにライトイネーブル信号WEBをもとに、上記各種の内部制御信号を形成し、ダイナミック型RAMの各部に供給する。

【0023】この実施例のダイナミック型RAMは、さらに、降圧回路VD及びワード線選択電圧発生回路VCHGを備える。このうち、降圧回路VDには、電源電圧供給端子VCCを介して外部電源電圧VCCが供給され、ワード線選択電圧発生回路VCHGには、降圧回路VDによって形成される内部電源電圧VCLが供給される。ここで、外部電源電圧VCCは、特に制限されないが、+5Vのような比較的絶対値の大きな正の電源電圧とされ、内部電源電圧VCLは、+3.3Vのような比較的絶対値の小さな正の電源電圧とされる。

【0024】降圧回路VDは、電源電圧供給端子VCCを介して供給される外部電源電圧VCCを降圧することにより、内部電源電圧VCLを形成し、ダイナミック型RAMの各部に動作電源として供給する。

【0025】一方、ワード線選択電圧発生回路VCHGは、図4に示されるように、内部信号線MSOすなわちメモリアレイMARYの領域内に形成されたセンスMO

SFETQsのソースと回路の接地電位との間に設けられるPチャンネル型(第2導電型)のMOSFETQ4(第2のMOSFET)ならびにNチャンネルMOSFETQ12(第3のMOSFET)を含む。これらのMOSFETのゲートには、内部電源電圧VCLが共通に供給され、その共通結合されたドレインは、CMOSインバータN1の入力端子に結合される。なお、MOSFETQ4は、0.2Vのような比較的小さなしきい値電圧Vthpを持つべく設計され、前記センスMOSFETQsは、0.7Vのような比較的大きなしきい値電圧Vthnを持つべく設計される。また、MOSFETQ4は、比較的大きなコンダクタンスを持つべく設計され、MOSFETQ12は、逆に比較的小さなコンダクタンスを持つべく設計される。これにより、MOSFETQ4及びQ12は、センスMOSFETQs及びCMOSインバータN1とともに、ワード線選択電圧VCHに対するレベル検出回路LCとして作用し、インバータN1の出力信号つまり内部信号VCを選択的にハイレベルとする。

【0026】すなわち、ワード線選択電圧VCHの絶対値VCHが、

$$VCH < VCL + Vthn + Vthp$$

なる比較的小さな値とされるとき、ワード線選択電圧発生回路VCHGのレベル検出回路LCでは、センスMOSFETQs及びMOSFETQ4がオフ状態とされ、MOSFETQ12がオン状態とされる。このため、MOSFETQ4及びQ12の共通結合されたドレイン電位は、回路の接地電位のようなロウレベルとなり、これによってインバータN1の出力信号すなわち内部信号VCがハイレベルとされる。一方、ワード線選択電圧VCHの絶対値VCHが、

$$VCH > VCL + Vthn + Vthp$$

なる比較的大きな値とされると、レベル検出回路LCでは、センスMOSFETQs及びMOSFETQ4がともにオン状態となり、MOSFETQ12もオン状態となる。前述のように、MOSFETQ4は比較的大きなコンダクタンスを持つものとされ、MOSFETQ12は比較的小さなコンダクタンスを持つものとされる。このため、MOSFETQ4及びQ12の共通結合されたドレイン電位は、これらのMOSFETQ4及びQ12のコンダクタンス比によって決まる比較的高いレベルとなり、これによってインバータN1の出力信号すなわち内部信号VCがロウレベルとされる。

【0027】ワード線選択電圧発生回路VCHGは、さらに、レベル検出回路LCの出力信号すなわち内部信号VCを受ける電圧発生回路VGを備える。電圧発生回路VGは、内部信号VCがハイレベルとされることを条件に選択的に動作状態とされ、ワード線選択電圧VCHの電位を補充して所定のレベルに押し上げる。これにより、ワード線選択電圧VCHの電位すなわち絶対値VC

Hは、

$$VCH \equiv VCL + Vthn + Vthp$$

つまりほぼ+4.2Vに収束すべく制御される。

【0028】前述のように、ワード線選択電圧発生回路VCHGのレベル検出回路LCを構成するMOSFET Q4は、比較的小さなしきい値電圧を持つべく設計され、センスMOSFET Qsは、比較的大きなしきい値電圧を持つべく設計される。さらに、センスMOSFET Qsは、メモリアレイMARYの領域内に形成され、そのしきい値電圧は、メモリセルを構成するアドレス選択MOSFET Qaとほぼ同一の絶対値とされしかも製造プロセスによってほぼ同一の特性変化を呈するものとされる。言い換えるならば、ワード線選択電圧VCHの絶対値は、メモリアレイMARY及び周辺回路の電源電圧すなわち内部電源電圧VCLの絶対値にアドレス選択MOSFET Qaのしきい値電圧を加えた値に極めて接近させることが可能となり、これによってワード線選択電圧VCHの電位マージンを十分に圧縮し、その絶対値を小さくすることが可能となる。その結果、ワード線等のレベル変化にともなうチャージ又はディスチャージ電流を削減し、ダイナミック型RAMの低消費電力化を推進できるものとなる。

【0029】以上の本実施例に示されるように、この発明をスタティクワード線選択方式を採用するダイナミック型RAM等の半導体記憶装置に適用することで、次のような作用効果が得られる。すなわち、

(1) スタティクワード線選択方式を採用するダイナミック型RAM等のワード線選択電圧発生回路を、例えば、そのドレイン及びゲートにワード線選択電圧を受けるNチャンネル型のセンスMOSFETと、センスMOSFETのソースと回路の接地電位との間に直列形態に設けられそのゲートに所定の内部電源電圧を共通に受ける一対のPチャンネル及びNチャンネルMOSFETと、これらのPチャンネル及びNチャンネルMOSFETの共通結合されたドレイン電位を受けるCMOSインバータとを含み、CMOSインバータの出力信号をその出力信号とするレベル検出回路と、レベル検出回路の出力信号に従って選択的にワード線選択電圧の電位を補充する電圧発生回路とにより構成し、センスMOSFETを、メモリセルを構成するアドレス選択MOSFETと同一条件でしかもメモリアレイ領域内に形成することで、センスMOSFETのしきい値電圧の絶対値ならびにその特性変化を、メモリセルを構成するアドレス選択MOSFETとほぼ一致させることができるという効果が得られる。

【0030】(2) 上記(1)項により、ワード線選択電圧の電位マージンを圧縮し、その絶対値を小さくすることができるという効果が得られる。

(3) 上記(1)項及び(2)項により、ワード線等のレベル変化にともなうチャージ又はディスチャージ電流

を削減できるという効果が得られる。

(4) 上記(1)項～(3)項により、スタティクワード線選択方式を採用するダイナミック型RAM等の低消費電力化を推進できるという効果が得られる。

【0031】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、ダイナミック型RAMのメモリアレイMARYは、複数のサブメモリアレイ又はメモリマットに分割することができる。この場合、分割された複数のサブメモリアレイ又はメモリマットごとにセンスMOSFET Qsを設け、例えばこれらのセンスMOSFET Qsによるセンス結果の論理和をもって電圧発生回路VGを選択的に動作状態とすればよい。ダイナミック型RAMは、シェアドセンス方式を採用することができるし、アドレスマルチプレクス方式を採用することを必要条件ともしない。ダイナミック型RAMは、複数ビットの記憶データを同時に入力又は出力するいわゆる多ビット構成を採用することができるし、そのブロック構成は、この実施例による制約を受けない。さらに、図2及び図3ならびに図4に示されるメモリアレイMARY及びワード線駆動回路WDならびにワード線選択電圧発生回路VCHGの具体的な回路構成や内部制御信号等の組み合わせならびに電源電圧の極性及びMOSFETの導電型等は、種々の実施形態を採りうる。

【0032】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるダイナミック型RAMに適用した場合について説明したが、それに限定されるものではなく、例えば、ダイナミック型RAMを基本構成とする擬似スタティク型RAMやこれらのメモリを内蔵する各種のデジタル集積回路装置にも適用できる。なお、その消費電力が重要なファクタとなる擬似スタティク型RAMでは、この発明の効果が一層発揮される。この発明は、少なくともスタティクワード線選択方式を採用する半導体記憶装置ならびにこのような半導体記憶装置を内蔵する半導体装置に広く適用できる。

【0033】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、スタティクワード線選択方式を採用するダイナミック型RAM等のワード線選択電圧発生回路を、例えば、そのドレイン及びゲートにワード線選択電圧を受けるNチャンネル型のセンスMOSFETと、センスMOSFETのソースと回路の接地電位との間に直列形態に設けられそのゲートに所定の内部電源電圧を共通に受ける一対のPチャンネル及びNチャンネルMOSFETと、これらのPチャンネル及びNチャンネルMOSFETの共通結合されたドレイン電位を受け

るCMOSインバータとを含み、CMOSインバータの出力信号をその出力信号とするレベル検出回路と、レベル検出回路の出力信号に従って選択的にワード線選択電圧の電位を補充する電圧発生回路とによって構成し、センスMOSFETを、メモリセルを構成するアドレス選択MOSFETと同一条件でしかもメモリアレイ領域内に形成することで、センスMOSFETのしきい値電圧の絶対値ならびにその特性変化を、メモリセルを構成するアドレス選択MOSFETとほぼ一致させることができる。これにより、相応してワード線選択電圧の電位マージンを圧縮し、その絶対値を小さくすることができる。その結果、ワード線等のレベル変化にともなうチャージ又はディスチャージ電流を削減し、スタティックワード線選択方式を採るダイナミック型RAM等の低消費電力化を推進することができる。

【図面の簡単な説明】

【図1】この発明が適用されたダイナミック型RAMの一実施例を示すブロック図である。

【図2】図1のダイナミック型RAMに含まれるメモリアレイの一実施例を示す回路図である。

【図3】図1のダイナミック型RAMに含まれるワード線駆動回路の一実施例を示す回路図である。

【図4】図1のダイナミック型RAMに含まれるワード線選択電圧発生回路の一実施例を示す回路図である。

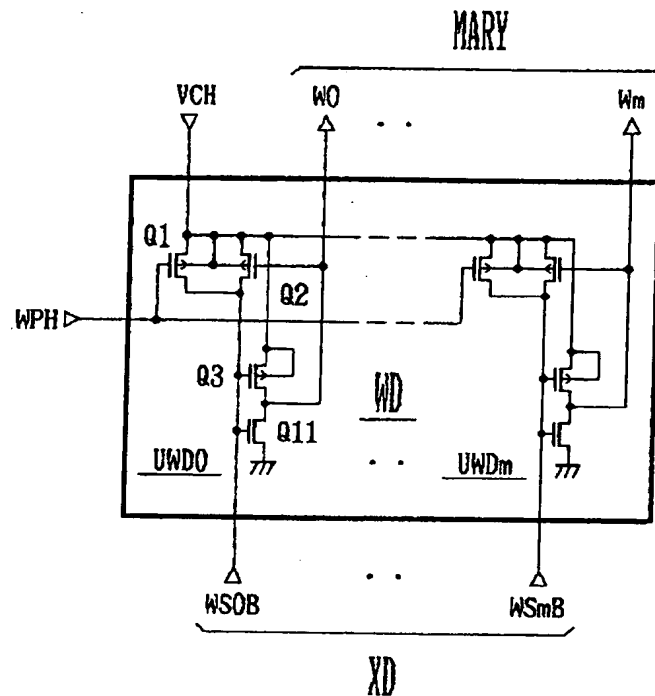
【符号の説明】

MARY・・・メモリアレイ、SA・・・センスアンプ、WD・・・ワード線駆動回路、XD・・・Xアドレスデコーダ、YD・・・Yアドレスデコーダ、XB・・・Xアドレスバッファ、YB・・・Yアドレスバッファ、IO・・・データ入出力回路、TG・・・タイミング発生回路、VD・・・降圧回路、VCHG・・・ワード線選択電圧発生回路。W0～Wm・・・ワード線、B0*～Bn*・・・相補ビット線、Cs・・・情報蓄積キャパシタ、Qa・・・アドレス選択MOSFET、Qs・・・センスMOSFET。UWD0～UWDm・・・単位ワード線駆動回路。LC・・・レベル検出回路、VG・・・電圧発生回路。Q1～Q4・・・PチャンネルMOSFET、Q11～Q12・・・NチャンネルMOSFET、N1・・・CMOSインバータ。

【図3】

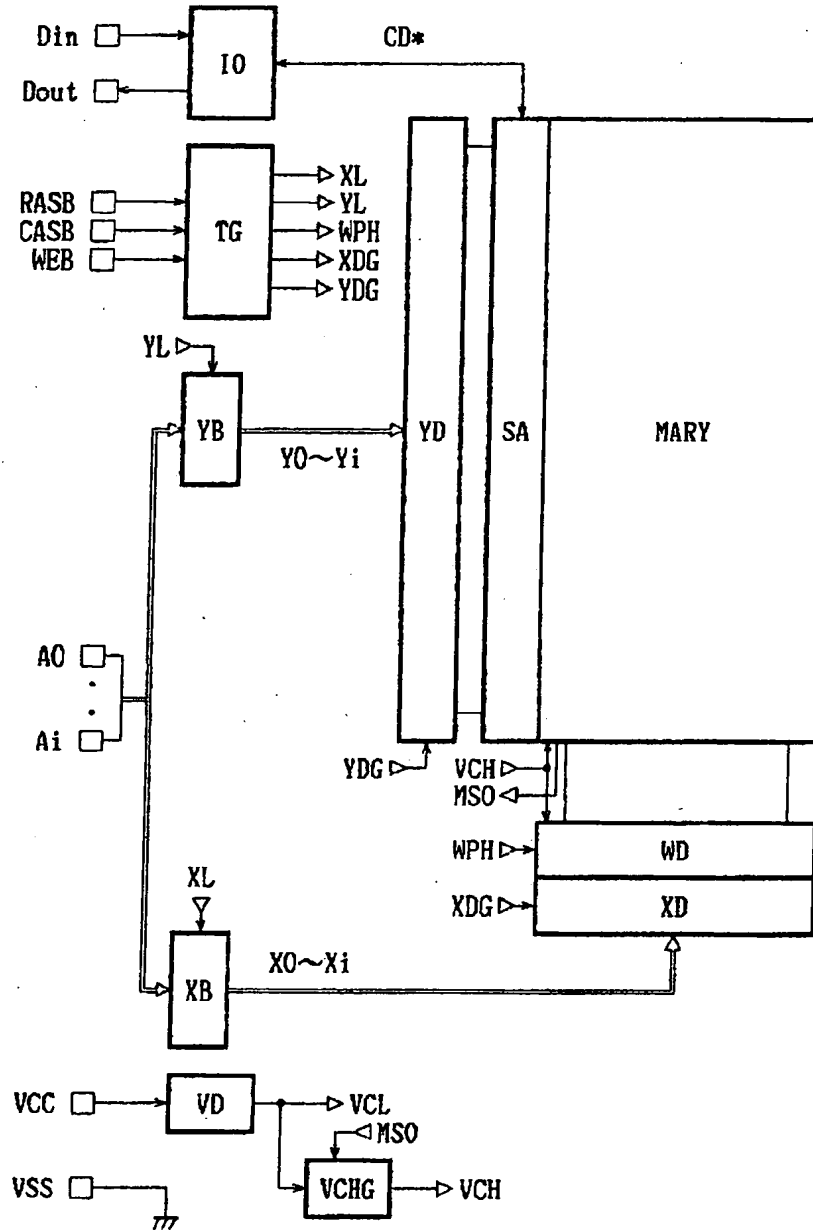
図3

WD:ワード線駆動回路WD



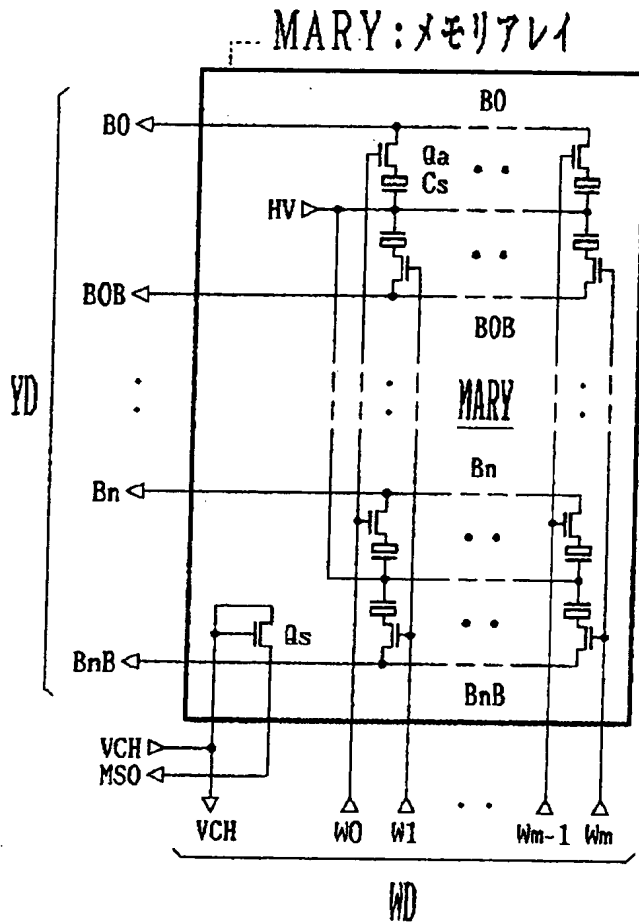
【図 1】

図 1

DRAM:ダイナミック型RAM

【図 2】

図 2



【図 4】

図 4

